

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-195160

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

G06F 1/32

(21)Application number : 04-357436

(71)Applicant : FUJITSU LTD

(22)Date of filing : 24.12.1992

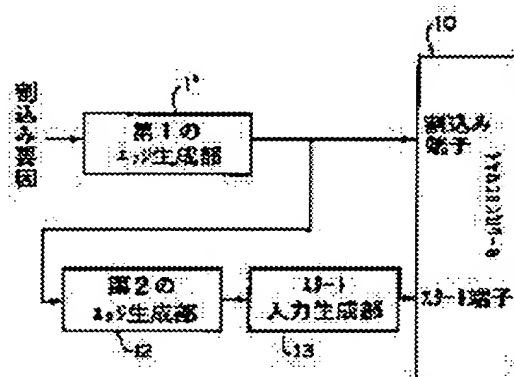
(72)Inventor : KATAKURA KAZUMITSU

(54) EXTERNAL INTERRUPTION EDGE DETECTING CIRCUIT FOR MICROCOMPUTER

(57)Abstract:

PURPOSE: To reduce the number of parts and power consumption required for external interruption edge detection by standing by a microcomputer in a stop mode at the time of an external interruption waiting state.

CONSTITUTION: When any interruption factor occurs, a first edge generating part 11 generates an external interruption signal having a slow rising/falling edge for the interruption request. This external interruption signal is inputted to the interruption terminal of a microcomputer 10 and a second edge generating part 12. The second edge generating part 12 detect the external interruption signal sent from the first edge generating part 11 becomes to a prescribed threshold value, and outputs a pulse signal to a start input generating part 13. Based on this output pulse, the start input generating part 13 generates a start input signal and inputs it to the start terminal of the microcomputer 10. When prescribed processing is finished, the microcomputer 10 is set to an operation stop state by a stop mode function and on the other hand, an external interruption recognizing function is activated inputting the start input signal to release the stop state.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-195160

(43)公開日 平成6年(1994)7月15日

(51)Int.Cl.⁵

G 0 6 F 1/32

識別記号

庁内整理番号

F I

技術表示箇所

7165-5B

G 0 6 F 1/ 00

3 3 2 Z

審査請求 未請求 請求項の数1(全 6 頁)

(21)出願番号

特願平4-357436

(22)出願日

平成4年(1992)12月24日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 片倉 一光

宮城県仙台市青葉区一番町1丁目2番25号

富士通東北デジタル・テクノロジー株式
会社内

(74)代理人 弁理士 小林 隆夫

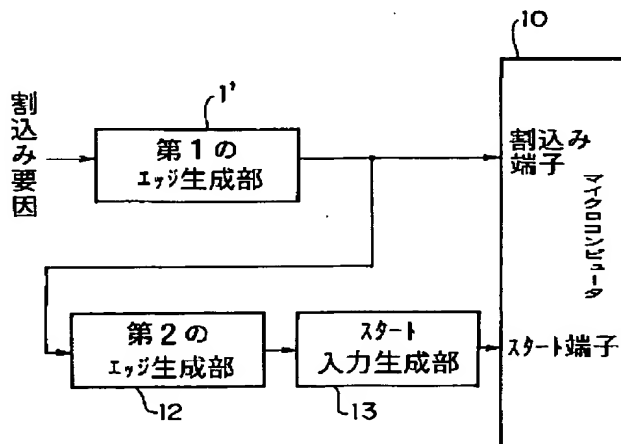
(54)【発明の名称】 マイクロコンピュータの外部割込みエッジ検出回路

(57)【要約】 (修正有)

【目的】 マイクロコンピュータの外部割込みエッジ検出のための回路で部品点数と消費電力を削減する。

【構成】 割込み要因に対して緩慢な立上り／立下りのエッジを持つ外部割込み信号を生成して割込み端子に入力する第1のエッジ生成部11と、その外部割込み信号が所定のしきい値になったことを検出してパルス信号を出力する第2のエッジ生成部12と、その出力パルスに基づいてスタート入力信号を生成してスタート端子に入力するスタート入力生成部13とを備え、ストップモード機能は所定の処理が終了するとマイクロコンピュータ10を動作停止状態に設定し、スタート入力信号が入力されるとストップ状態を解除して外部割込み認識機能を起動する。

本発明に係る原理説明図



【特許請求の範囲】

【請求項1】 ストップモード機能および外部割込み認識機能を持つマイクロコンピュータ（10）の外部割込みエッジ検出回路であって、

割込み要因に対して緩慢な立上り／立下りのエッジを持つ外部割込み信号を生成して該マイクロコンピュータの割込み端子に入力する第1のエッジ生成部（11）と、該第1のエッジ生成部からの外部割込み信号が所定のしきい値になったことを検出してパルス信号を出力する第2のエッジ生成部（12）と、

該第2のエッジ生成部の出力パルスに基づいてスタート入力信号を生成して該マイクロコンピュータのスタート端子に入力するスタート入力生成部（13）とを備え、該ストップモード機能は所定の処理が終了するとマイクロコンピュータを動作停止状態に設定するようになっており、

該マイクロコンピュータはスタート入力信号が入力されるとストップ状態を解除して該外部割込み認識機能を起動するようになっており、

該外部割込み認識機能はストップ状態になる前の割込み端子のレベルとマイクロコンピュータが動作再開時の割込み端子のレベルとを比較して外部割込みを認識するようになっているマイクロコンピュータの外部割込みエッジ検出回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はストップモード機能および外部割込み認識機能を内蔵したASIC等のマイクロコンピュータの外部割込み検出回路に関するものである。

【0002】

【従来の技術】 図4にはストップモード機能および外部割込み認識機能を内蔵したASICマイクロコンピュータ・システムが示される。図4において、1は割込み要因生成部であり、スイッチのオン／オフ信号が割込み要因信号①となる。この割込み要因信号①はスイッチで生じたチャタリングを吸収するチャタリング防止回路6を経由してエッジ生成部2'に入力される。エッジ生成部2'は割込み要因信号①に対して急峻な立上り／立下りエッジを持つ外部割込み信号②'を生成してASICマイクロコンピュータ4の割込み端子に入力させる。

【0003】 5はスタート入力生成部であり、図示しない各機能ブロック（マイクロコンピュータ4により制御される）からのスタート要求に対してスタート入力信号⑨を生成してマイクロコンピュータ4のスタート端子に入力させる。

【0004】 マイクロコンピュータ4はスタンバイ解除部42、CPUコア43、クロック制御部44、割込み検出部45等を含み構成されている。CPUコア43は通常、クロック制御部44からCPU用のクロック⑥の

供給を受けて動作しているが、所要の処理が終了したときには自動的にスタンバイモード（あるいはストップモードとも称する）に移行するようになっており、このスタンバイモードではクロック制御部44に対してクロック⑥の供給を停止させるよう指示をしてCPUコア43の主要動作を停止して省電力化を図り、一方、スタンバイ解除部42からスタンバイ解除要求④を受けることによってクロック制御部44に対してクロックスタンバイ解除要求⑥を発し、このクロック制御部44から再びクロック⑥の供給を受けて動作を開始するようになっている。なお、クロック制御部44はこのクロックスタンバイ解除要求⑤を受けたときには、所定の発振安定待ち時間を経過した後にクロック⑥の供給を再開するよう動作する。

【0005】 外部割込み認識部（あるいは外部割込みマクロ）41はエッジ生成部2'からの外部割込み信号②のH/L間のレベル変化を検出して、レベル変化があったときには外部割込みと認識し、CPUコア43に対して割込み要求⑧を出力する部分である。この外部割込み認識部41はCPUコア43が動作中はそのCPUコア43から内部クロック⑦の供給を受けて動作しているが、CPUコア43が動作停止したときには内部クロック⑦の供給が停止されてその動作を停止するようになっている。

【0006】 このマイクロコンピュータ・システムにおいては、割込み要因生成部1で割込み要因信号①が生成されると、この割込み要因信号①はチャタリング防止回路6を経てエッジ生成部2'に入力され、ここで外部割込み信号②'が生成されてマイクロコンピュータ4の外部割込み認識部41に入力され、ここでレベル変化の検出により割込み要求⑧が生成されてCPUコア43に入力され、これによりCPUコア43が割込み処理を開始する。この割込みの処理においては、割込み要因信号①の生成が停止されるとき（すなわち再び元のレベルに変化したとき）に再び割込み処理を行うが、その際、CPUコア43が動作停止状態にあると外部割込み認識部41も内部クロック⑦の供給を停止されて動作停止状態となるので、後者の割込みを認識できなくなる。よって割込み要因信号①に対してはそれが出力されている間中、CPUコア43は動作を続けるようになっている。

【0007】

【発明が解決しようとする課題】 従来のASICマイクロコンピュータ・システムでは、エッジ生成部2'への入力にチャタリングがあることを防止するために、その前段にチャタリング防止回路6を必要とし、その分、部品数が大きくなる。また、エッジ生成部2'から出力される外部割込み信号②はエッジの立上り／立下りが緩慢であると誤動作の原因になるので、エッジを急峻にする必要があるが、そのためにはエッジ生成部2'内においてある程度大きな電流を流す必要があるので、エッジ生

成部2'での消費電力が大きくなる。また、CPUコア43は外部割込み信号②が出力されている期間中はその動作を停止することができないので、このCPUコア43においても無駄な消費電力がある。

【0008】本発明はかかる問題点に鑑みてなされたものであり、外部割込みエッジ検出のために要する部品点数と消費電力を削減することを目的とする。

【0009】

【課題を解決するための手段】図1は本発明にかかる原理説明図である。本発明のストップモード機能および外部割込み認識機能を持つマイクロコンピュータ10の外部割込みエッジ検出回路は、割込み要因に対して緩慢な立上り／立下りのエッジを持つ外部割込み信号を生成してマイクロコンピュータ10の割込み端子に入力する第1のエッジ生成部11と、第1のエッジ生成部11からの外部割込み信号が所定のしきい値になったことを検出してパルス信号を出力する第2のエッジ生成部12と、第2のエッジ生成部12の出力パルスに基づいてスタート入力信号を生成してマイクロコンピュータ10のスタート端子に入力するスタート入力生成部13とを備え、ストップモード機能は所定の処理が終了するとマイクロコンピュータ10を動作停止状態に設定するようになっており、マイクロコンピュータ10はスタート入力信号が入力されるとストップ状態を解除して外部割込み認識機能を起動するようになっており、外部割込み認識機能はストップ状態になる前の割込み端子のレベルとマイクロコンピュータが動作再開時の割込み端子のレベルとを比較して外部割込みを認識するようになっている。

【0010】

【作用】割込み要因が発生すると第1のエッジ生成部11はその割込み要求に対して緩慢な立上り／立下りのエッジを持つ外部割込み信号を生成する。この外部割込み信号はマイクロコンピュータ10の割込み端子と第2のエッジ生成部12に入力される。第2のエッジ生成部では、第1のエッジ生成部11からの外部割込み信号が所定のしきい値になったことを検出してスタート入力生成部13にパルス信号を出力する。スタート入力生成部13は第2のエッジ生成部12の出力パルスに基づいてスタート入力信号を生成してマイクロコンピュータ10のスタート端子に入力する。マイクロコンピュータ10は、ストップモード機能により所定の処理が終了するとマイクロコンピュータ10が動作停止状態に設定され、一方、スタート入力信号が入力されるとストップ状態を解除して外部割込み認識機能を起動する。外部割込み認識機能は、起動されると、ストップ状態になる前の割込み端子のレベルとマイクロコンピュータが動作再開時の割込み端子のレベルとを比較して両者が違ふとそのレベル変化を外部割込みと見なして、マイクロコンピュータ10に割込み要求を行う。

【0011】

【実施例】以下、図面を参照して本発明の実施例を説明する。図2には本発明の一実施例としてのASICによるマイクロコンピュータ・システムの外部割込みエッジ検出回路が示される。図2において、1は割込み要因生成部であり、従来例で示したと同様にスイッチなどで構成される。2はエッジ生成部であり、割込み要因生成部1からの割込み要因信号①に対してエッジを持つ外部割込み信号②を生成する回路であるが、このエッジ生成部2は従来例のものよりもエッジの立上り／立下りがなだらかになっており、したがってエッジ生成部2のトランジスタに流す電流は小電流でよいようになっている。このエッジ生成部2からの外部割込み信号②はマイクロコンピュータ4の割込み端子およびエッジ生成部3に入力される。

【0012】エッジ生成部3は抵抗器R、キャパシタC、シュミット回路、排他的OR回路等を含み構成されており、エッジ生成部2からの割込み要因信号①のレベルが所定のしきい値を上回るあるいは下回るときに一定幅のパルス信号③を生成し出力するよう動作する。このパルス信号③はスタート入力生成部5に入力される。

【0013】スタート入力生成部5はパルス信号③に対して他の機能ブロックからのスタート入力要求があった場合と同様にスタート入力信号④を生成するようになっており、このスタート入力信号④はマイクロコンピュータ4のスタート端子を経てスタンバイ解除部42に入力される。

【0014】マイクロコンピュータ4における外部割込み認識部41、スタンバイ解除部42、CPUコア43、クロック制御部44の動作は前述のものと同様であるが、CPUコア43は外部割込み認識部41からの割込み要求⑤に対してその割込み処理を行いそれが終了すると自動的に動作を停止しスタンバイ解除部42からスタンバイ解除要求④が入力されるまでその停止状態を継続するストップモード（スタンバイモードとも称する）になるようになっている。すなわち、外部割込み待ち状態のときにはマイクロコンピュータ4をストップモードで待機させるようにしてある。

【0015】この実施例回路の動作が図3のタイムチャートを参照して以下に説明される。図3において、

- (a) は割込み要因生成部1からの割込み要因信号①、
- (b) はエッジ生成部2からの外部割込み信号②、
- (c) はエッジ生成部3からのパルス信号③、(d) はマイクロコンピュータ4におけるCPUコア43の動作モード、(e) は外部割込み認識部41からの割込み要求⑤をそれぞれ示す。

【0016】割込み要因生成部1で割込み要因信号①が生成されると、エッジ生成部2でこの割込み要因信号①のオン／オフ変化点で立ち上がり／立ち下がる外部割込み信号②が生成される。この外部割込み信号②はその立上り／立下りのエッジが時定数を持ったなだらかなもの

となる。外部割込み信号②の立上りがある所定のしきい値を超えると、エッジ生成部3は一定幅のパルス信号③を生成し、これをスタート入力生成部5に入力する。これを受けてスタート入力生成部5はスタート入力信号⑨を生成してマイクロコンピュータ4のスタンバイ解除部42に入力させる。これによりスタンバイ解除部42はスタンバイ解除要求④をCPUコア43に対して発する。

【0017】CPUコア43はそれまでストップモードにあったが、スタンバイ解除部42からスタンバイ解除要求④を受けると、ストップモードを解除し、クロック制御部44に対してクロックスタンバイ解除要求⑤を発する。これによりクロック制御部44は所定の発振安定待ち時間（例えば10mS程度）の経過後、クロック⑥をCPUコア43に供給する。するとCPUコア43は動作を再開し、外部割込み認識部41に対して内部クロック⑦を供給してそれを動作させる。

【0018】外部割込み認識部41はストップモードで待機中はストップ前の割込み端子のレベル状態（外部割込み信号②のレベル状態で図3の例では“L”レベル）を記憶しており、動作を開始した後はそのときの割込み端子のレベル（図3の例では“H”レベル）をモニターする。この割込み端子のレベルすなわち外部割込み信号②のレベルは急激には“L”から“H”に変化しないが、発振安定待ち時間経過後にマイクロコンピュータ4が動作再開した時点では“H”に変化しているため、外部割込み認識部41はストップ前のレベルとモニターしたレベルを比較してレベル変化を検出することにより擬似的にエッジを認識し、それによりCPUコア43に対して割込み要求⑧を発する。CPUコア43は割込み要求⑧を受けると割込み処理を行い、所定の割込み処理が終了すると自動的にストップモードに移行する。

【0019】次に外部割込み信号②が立ち下ると、そのレベルが所定のしきい値を下回った時点でエッジ生成部3が一定幅のパルス信号③をスタート入力生成部5に出力し、前述同様にしてスタート入力信号⑨がマイクロコンピュータ4のスタート端子を経てスタンバイ解除部42に入力され、CPUコア43がストップモードから再び動作モードに移行する。

【0020】上述の実施例のような構成にすると、エッジ生成部2の出力する外部割込み信号②のエッジはその立上り／立下りが緩慢であるため、その前段にチャタリング防止回路を設置しなくとも、割込み要因生成部で生

じたチャタリングの影響を取り除くことができる。またマイクロコンピュータ4は全期間にわたり動作している必要がなくなるため、その消費電力を削減することができる。またエッジ生成部2の出力信号のエッジは急峻でなくともよくそのトランジスタに流す電流を小電流にできるので、このエッジ生成部2における消費電力を小さくすることができる。

【0021】

【発明の効果】以上に説明したように、本発明によればチャタリング防止回路が不要になるなど周辺回路規模を小さくして使用部品数を少なくできる。またASICマイクロコンピュータは通常、ストップモードになっているためその消費電力を削減することができるし、またエッジ生成部で割込みエッジを鋭くする必要がないので、エッジ生成部で大きな電流を流さなくともよくその分消費電力を小さくできる。

【図面の簡単な説明】

【図1】本発明に係る原理説明図である。

【図2】本発明の一実施例としてのマイクロコンピュータの外部割込みエッジ検出回路を示す図である。

【図3】実施例回路の各部信号のタイムチャートである。

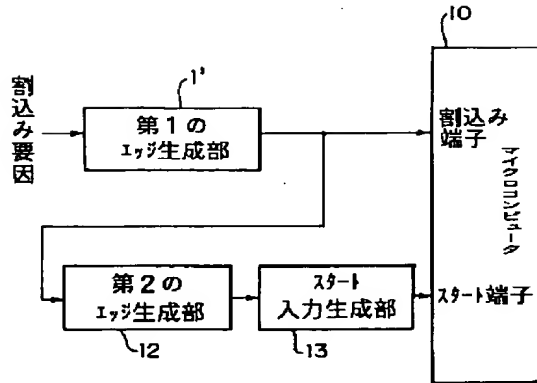
【図4】従来例を示す図である。

【符号の説明】

- 1 割込み要因生成部
- 2、2' エッジ生成部
- 4 ASICマイクロコンピュータ
- 5 スタート入力生成部
- 6 チャタリング防止回路
- 7 原発振器
- 41 外部割込み認識部
- 42 スタンバイ解除部
- 43 CPUコア
- 44 クロック制御部
- ① 割込み要因信号
- ② 外部割込み信号
- ③ パルス信号
- ④ スタンバイ解除要求
- ⑤ クロックスタンバイ解除要求
- ⑥ クロック
- ⑦ 内部クロック
- ⑧ 割込み要求
- ⑨ スタート入力信号

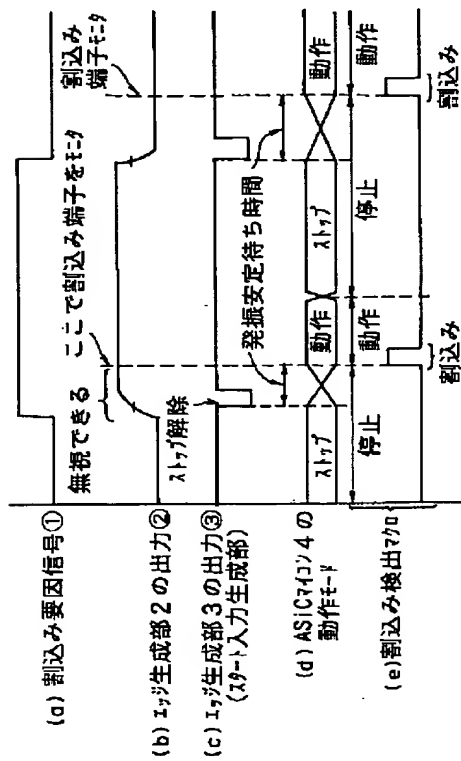
【図1】

本発明に係る原理説明図



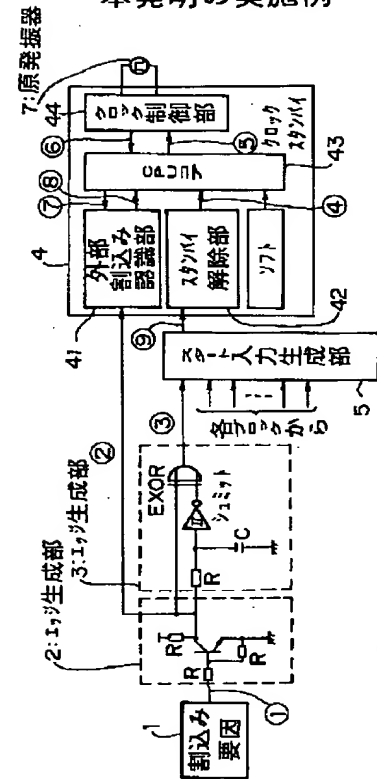
【図3】

実施例回路のタイムチャート



【図2】

本発明の実施例



【図4】

従来例

